

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-97196

(43) 公開日 平成9年(1997)4月8日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 11/22	3 3 0		G 0 6 F 11/22	3 3 0 B
G 0 1 R 31/28			G 0 1 R 31/28	D

審査請求 未請求 請求項の数 1 O L (全 4 頁)

(21) 出願番号 特願平7-253479

(22) 出願日 平成7年(1995)9月29日

(71) 出願人 390009667

日本プレシジョン・サーキット株式会社
東京都中央区京橋二丁目6番21号

(72) 発明者 小松 俊夫

栃木県那須郡塩原町大字下田野531-1

日本プレシジョン・サーキット株式会社内

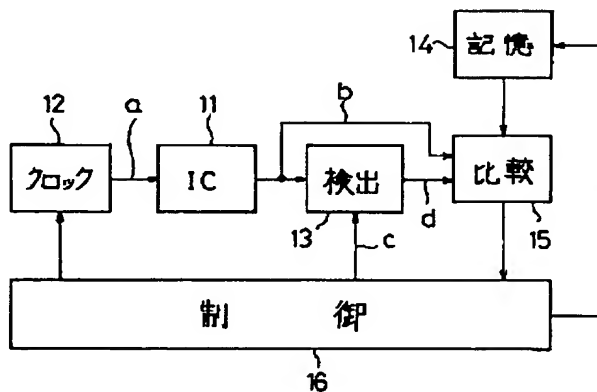
(74) 代理人 弁理士 松田 和子

(54) 【発明の名称】 I C 試験装置

(57) 【要約】

【課題】 簡単なハードウェアで構成でしかも短時間で試験を行なうことが可能な I C 試験装置を提供することを目的とする。

【解決手段】 被試験 I C 11 の被試験出力 b の出力状態の反転を検出する検出回路 13 と、被試験 I C 11 の被試験出力 b の出力状態が反転するためのクロック数よりも一つ少ない数のクロック a を被試験 I C 11 に入力したときの被試験出力 b の出力状態および検出回路 13 の出力状態 d を予め記憶回路 14 に設定された値と比較するとともに、被試験 I C 11 の被試験出力 b の出力状態が反転するためのクロック数と同数のクロック a を被試験 I C 11 に入力したときの被試験出力 b の出力状態および検出回路 13 の出力状態 d を予め記憶回路 14 に設定された値と比較する比較回路 15 と、比較回路 15 における比較結果に基づいて被試験 I C 11 の良否を判定する判定回路 16 とを有する。



【特許請求の範囲】

【請求項1】 被試験ICの被試験出力の出力状態の反転を検出する検出回路と、

上記被試験ICの上記被試験出力の出力状態が反転するためのクロック数よりも一つ少ない数のクロックを上記被試験ICに入力したときの上記被試験出力の出力状態および上記検出回路の出力状態を予め設定された値と比較するとともに、上記被試験ICの上記被試験出力の出力状態が反転するためのクロック数と同数のクロックを上記被試験ICに入力したときの上記被試験出力の出力状態および上記検出回路の出力状態を予め設定された値と比較する比較回路と、

上記比較回路における比較結果に基づいて上記被試験ICの良否を判定する判定回路とを有することを特徴とするIC試験装置。

【発明の詳細な説明】

【0001】

【発明の技術分野】本願はIC試験装置に関する。

【0002】

【従来の技術】図4はいわゆるデバイスアンダーテスト（以下、DUTという。）によりICの試験を行なう場合のIC試験装置の概念を示したブロック図、図5はその動作を示したタイミングチャートである。以下、被試験ICとしてカウンタを想定して説明を行なう。

【0003】被試験IC21にはクロック発生回路22からクロック信号aが入力され、所定のカウント値に達すると被試験IC21の出力信号bが反転する。記憶回路23には、被試験IC21が正常であれば被試験IC21から出力されるであろう値（以下、期待値という。）が、クロック信号aの発生タイミング毎に記憶されている。比較回路24では、被試験IC21の出力信号bと記憶回路23に記憶されている期待値とが、クロック信号aに同期したタイミングc毎に比較される。比較結果は制御回路25に送られ、上記すべてのタイミングで上記出力信号bと上記期待値とが一致すれば、被試験IC21は正常であると判断される。

【0004】

【発明が解決しようとする課題】上記従来のIC試験装置では、クロック信号aに同期したすべてのタイミングcで被試験IC21からの出力信号bと記憶回路23からの期待値とを比較しなければならない。したがって、このような試験をソフトウェア的に行なう場合には多大な時間が必要となる。また、ハードウェア的に行う場合には試験回路の規模が膨大なものとなる。

【0005】本願の目的は、簡単なハードウェア構成でしかも短時間で試験を行なうことが可能なIC試験装置を提供することである。

【0006】

【課題を解決するための手段】本願に係わるIC試験装置は、被試験ICの被試験出力の出力状態の反転を検出

する検出回路と、上記被試験ICの上記被試験出力の出力状態が反転するためのクロック数よりも一つ少ない数のクロックを上記被試験ICに入力したときの上記被試験出力の出力状態および上記検出回路の出力状態を予め設定された値と比較するとともに、上記被試験ICの上記被試験出力の出力状態が反転するためのクロック数と同数のクロックを上記被試験ICに入力したときの上記被試験出力の出力状態および上記検出回路の出力状態を予め設定された値と比較する比較回路と、上記比較回路における比較結果に基づいて上記被試験ICの良否を判定する判定回路とを有する。

【0007】

【発明の実施の形態】以下、図1～図3を参照して本願に係わるIC試験装置の実施の形態について説明する。

【0008】図1は、いわゆるDUTによりICの試験を行なう場合のIC試験装置の概念を示したブロック図である。以下の説明では、被試験IC11としてカウンタを想定し、このカウンタはn個のクロックが入力される毎にその出力状態が反転するものとする。

【0009】クロック発生回路12は、制御回路16からの制御信号を受けて被試験IC11へクロック信号aを出力するものである。検出回路13は、被試験IC11から出力される出力信号bの反転の有無を検出するのであり、被試験IC11での正常なカウント動作に基づく出力信号bの反転動作の他、グリッジノイズ等の瞬間的な反転動作も検出する。この検出回路13の詳細は図2に示した通りであり、D型フリップフロップおよびゲートから構成されている。なお、図2に示した信号b1およびb2は論理的には全く同一のものであり、したがって図1ではこれらの信号b1およびb2を特に区別をせずに信号bとしている。記憶回路14は、被試験IC11が正常であれば被試験IC11から出力されるであろう値（B値という。）および検出回路13から出力されるであろう値（D値という。以下、B値およびD値を合わせて期待値という。）を記憶するものである。比較回路15は、被試験IC11からの出力信号bおよび検出回路13からの出力信号dと記憶回路14に記憶されている期待値BおよびDとを所定のタイミングで比較し、その比較結果を制御回路16に送出するものである。制御回路16は、例えばパーソナルコンピュータ等で構成され、クロック発生回路12、検出回路13および記憶回路14に所定の制御信号を送出するとともに、比較回路15からの比較結果を受けて被試験IC11の良否を判定するものである。

【0010】つぎに、図1および図2に示したIC試験装置の動作を図3に示したタイミングチャートを参照して説明する。

【0011】クロック発生回路12からは、制御回路16からの制御信号により（n-1）個のクロック信号aが連続的に発生し、このクロック信号aは被試験IC1

1に入力される。すなわち、被試験IC11の出力状態が反転するクロック数nよりも一つ少ない数のクロックが被試験IC11に入力されるわけである。この段階で、被試験IC11からの出力信号bおよび検出回路13からの出力信号dと記憶回路14に記憶されている期待値BおよびDとの異同を比較回路15で比較し（以下、この段階の比較動作を反転前の比較動作という。）、その比較結果が制御回路16に送られる。被試験IC11の動作が正常であれば、図3に示すように信号bおよびdはともに論理値“0”であり、記憶回路14に記憶されている期待値BおよびDと一致する。被試験IC11の動作が正常でなく、例えば被試験IC11の出力がすでに反転している場合やグリッジノイズが発生した場合には、信号bの値と期待値Bとの間あるいは信号dの値と期待値Dとの間において、少なくとも一方は不一致となる。比較動作が終了すると、制御回路16からの制御信号cにより検出回路13がリセットされる（図2に示した二つのD型フリップフロップがリセットされる。）。リセット動作終了後、制御回路16からの制御信号によりクロック発生回路12からクロック信号aが1クロックだけ生じ、このクロック信号aが被試験IC11に入力される。被試験IC11の動作が正常であれば、このクロック信号により被試験IC11の出力信号bが論理値“0”から“1”へと反転する。この段階で再び、被試験IC11からの出力信号bおよび検出回路13からの出力信号dと記憶回路14に記憶されている期待値BおよびDとの異同を比較回路15で比較し（以下、この段階の比較動作を反転後の比較動作という。）、その比較結果が制御回路16に送られる。被試験IC11の動作が正常であれば、図3に示すように信号bおよびdはともに論理値“1”であり、記憶回路14に記憶されている期待値BおよびDと一致する。被試験IC11の動作が正常でなく、例えば被試験IC11の出力が反転していない場合には、信号bの値と期待値Bとの間および信号dの値と期待値Dとの間で不一致が生じる。比較動作が終了すると、制御回路16からの制御信号cにより検出回路13が再びリセットされる。

【0012】リセット動作が終了すると、再びクロック発生回路12から(n-1)個のクロック信号aが生じ、上記と同様のシーケンスが行なわれる。そして、反転前の比較動作において、被試験IC11の動作が正常であれば、図3に示すように信号bおよびdはそれぞれ論理値“1”および“0”であり、記憶回路14に記憶

されている期待値BおよびDと一致する。また、反転後の比較動作において、被試験IC11の動作が正常であれば、図3に示すように信号bおよびdはそれぞれ論理値“0”および“1”であり、記憶回路14に記憶されている期待値BおよびDと一致する。

【0013】以後同様にしてつぎつぎに反転前後の比較動作が行なわれ、信号bおよびdの値と期待値BおよびDとが比較される。そして、制御回路16により、すべての比較動作において信号bおよびdの値と期待値BおよびDとが一致すればその被試験IC11は正常すなわち良品と判定され、一つでも不一致があればその被試験IC11は不良品と判定される。

【0014】以上の説明からわかるように、本IC試験装置では、(n-1)個のクロックを連続して発生させ、その間は期待値との比較動作は行なわない。したがって、n個のクロックのうち(n-1)個のクロックを高速で発生させることができ、簡単なハードウェア構成であるにもかかわらず、短時間で試験を行なうことが可能となる。また、検出回路13により、グリッジノイズが発生する不良も発見することができる。

【0015】以上の説明では、被試験IC16としてカウンタを想定したが、特に順序回路を多く含む被試験ICに対して本IC試験装置は好適である。

【0016】

【発明の効果】本願に係わる発明によれば、簡単なハードウェア構成できしかも短時間で試験を行なうことが可能なIC試験装置を得ることが可能となる。

【図面の簡単な説明】

【図1】本願に係わるIC試験装置の概念を示したブロック図

【図2】図1の一部を詳細に示した図

【図3】図1の動作を説明するためのタイミングチャート

【図4】従来の技術に係わるIC試験装置の概念を示したブロック図

【図5】図4の動作を説明するためのタイミングチャート

【符号の説明】

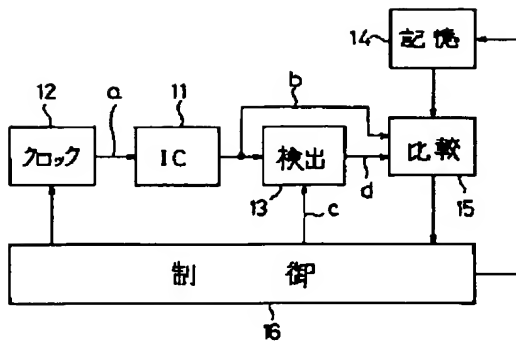
11……被試験IC

13……検出回路

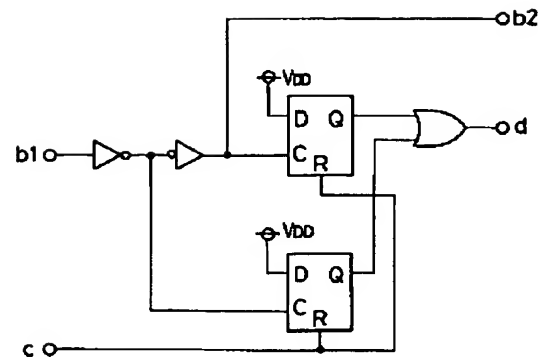
15……比較回路

16……制御回路（判定回路）

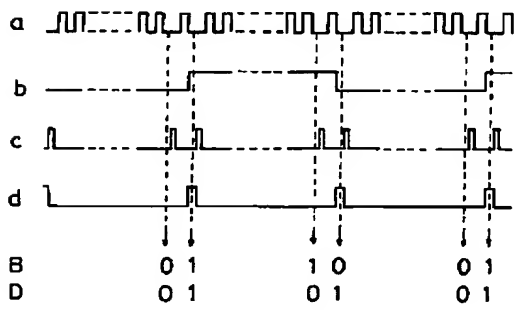
【図1】



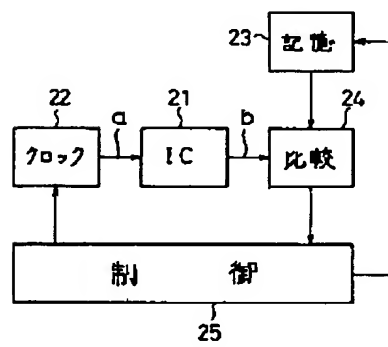
【図2】



【図3】



【図4】



【図5】

